

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平8-51153

(43)公開日 平成8年(1996)2月20日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/768				
21/28	301 M			
	R			
			H01L 21/90	B
			21/88	R
審査請求 未請求 請求項の数5 FD (全6頁) 最終頁に続く				

(21)出願番号 特願平6-207955

(22)出願日 平成6年(1994)8月8日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 川島 伊久衛

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

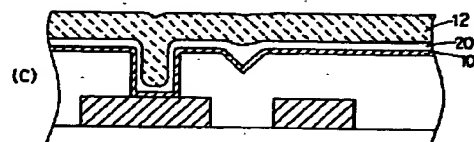
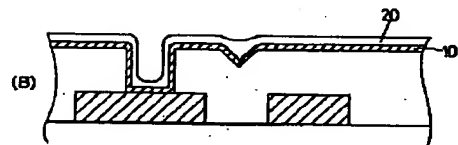
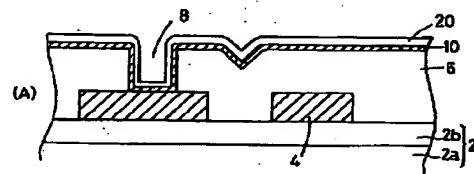
(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 多層配線を有する半導体装置

(57)【要約】

【目的】 層間絶縁膜の平坦性が悪い場合でもプラグ用埋込み金属層のエッチバックの際に残渣12aが発生しないようにしてコスト上昇を抑えとともに、信頼性の高い配線を形成できるようにする。

【構成】 下層配線4上から層間絶縁膜6を形成し、スルーホール8を形成した後、密着層10を形成し、その上に低融点金属材料層20としてAl-Si-Cu膜を形成する。成膜したAl-Si-Cu膜を真空中で600℃、1分間アニールを行ない、リフローさせて表面の平坦性を改善する。その後、スルーホールを埋め込むためのタングステン膜12を形成し、エッチバックを施してタングステン膜12をスルーホールのみに残す。このとき、層間絶縁膜6の平坦性の悪い部分は低融点金属材料層20のリフローによって平坦化されているため、タングステン12のエッチバック時に層間絶縁膜表面の凹部には残渣は残らない。その後、上層配線用金属層を形成し、パターン化して上層配線を形成する。



【特許請求の範囲】

【請求項1】 下層の電極又は配線上に絶縁膜を介して上層配線が形成され、下層の電極又は配線と上層配線との間が前記絶縁膜に形成されたコンタクトホール又はスルーホールに金属材料が埋め込まれたプラグを介して接続されている多層配線を有する半導体装置において、プラグとして埋め込まれた金属材料の下層には低融点金属材料層が設けられていることを特徴とする半導体装置。

【請求項2】 前記上層配線はプラグ部分以外の部分においては下層に前記低融点金属材料層を有し、その上に主として電流を流す金属材料層が形成された積層構造となっている請求項1に記載の半導体装置。

【請求項3】 前記低融点金属材料層と前記絶縁膜との間には密着層が形成されている請求項1又は2に記載の半導体装置。

【請求項4】 前記低融点金属材料層の主たる成分がアルミニウムである請求1、2又は3に記載の半導体装置。

【請求項5】 以下の工程(A)から(E)を含んで多層配線を形成することを特徴とする半導体装置の製造方法。(A)下層の電極又は配線上に絶縁膜を形成し、その絶縁膜にコンタクトホール又はスルーホールを形成する工程、(B)前記絶縁膜上から密着層を形成する工程、(C)前記密着層上から低融点金属材料層を形成し、不活性雰囲気中又は真空中で熱処理を施して前記低融点金属材料層をリフローさせる工程、(D)リフローした前記低融点金属材料層上にプラグ形成用埋込み金属膜を形成し、エッチバックを施してその金属膜をプラグ形成部分のみに残す工程、(E)その後、上層配線用金属膜を形成し、その金属膜にパターン化を施して上層配線を形成する工程。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は多層配線構造をもつ半導体装置に関し、特にコンタクトホールやスルーホールに下層と上層の導電層を接続するためのプラグと称される金属材料が埋め込まれた配線構造を有する半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】プラグをもつ多層配線の材料としては、プラグ用埋込み金属としてプランケットタングステンプロセスや選択タングステンプロセスにより形成されたタングステンや、CVD法によるTiNなどが広く用いられている。また、プラグの埋込み金属上部に設けられる配線の材質としては、密着層としてTiN膜やTiW膜を形成した上にアルミニウム系の金属膜を積層した、例えばAl-Si-Cu/TiN、Al-Si-Cu/TiWなどが用いられ、またAl-Si-Cu単層膜も広く用いられている。

【0003】従来の方法のうち、下層配線と上層配線を形成する方法を図1に示す。ここでは、一例としてプラグ用埋込み金属としてプランケットタングステン、配線金属としてAl-Si-Cu/TiN積層構造のものを示す。

(A)下地2上にAl-Si-CuやAl-Cuなどの材質にてなる下層配線4を形成し、その上から層間絶縁膜6を形成する。層間絶縁膜6には上層配線と下層配線を接続するためのスルーホールをリソグラフィーとエッチングにより形成し、その後タングステンの密着層としてTiN膜10を形成する。その上から、プラグとして埋め込むためのプランケットタングステン膜12を形成する。

【0004】(B)スルーホールのみにプラグ用埋込み金属を残すために、タングステン膜12にエッチバックを施す。このとき、層間絶縁膜6の平坦性が悪い場合は、スルーホール以外の凹部にもタングステン12aが残渣として残る。

(C)その後、上層配線のための金属膜14を例えばAl-Si-CuやAl-Cuなどにより形成し、リソグラフィーとエッチングによりパターン化を施して上層配線とする。配線用金属膜のエッチングとしては通常塩素ガスを用いて行なうが、タングステンは塩素ではエッチングされないため、上層配線のパターン化後もタングステン残渣12aが残ってしまい、これが配線間の短絡の原因となる。

【0005】したがって、エッチバックプロセスを用いてプラグを形成する方法においては、層間絶縁膜6の平坦性が重要となる。しかし、LSIプロセスの微細化が進むにつれて、層間絶縁膜の十分な平坦性を得ることはプロセスを複雑にし、コストを上昇させる要因になっている。

【0006】

【発明が解決しようとする課題】従来の配線構造では、図1(C)に示されるように、プラグ部分ではタングステン12がTiN膜10に接触している。タングステンはTiNに対しては密着性がそれほど優れているとはいえない。また、タングステンはTiN上ではグレインサイズが大きく成長する傾向がある。製造方法においては図1の説明で述べられているように、層間絶縁膜の平坦性が悪い場合にはタングステンの残渣12aが発生する。

【0007】そこで、本発明は層間絶縁膜の平坦性が悪い場合でもプラグ用埋込み金属層のエッチバックの際に残渣12aが発生しないようにしてコスト上昇を抑え、信頼性の高い配線を形成できるようにすることを目的とするものである。

【0008】

【課題を解決するための手段】本発明の半導体装置の多層配線では、プラグとして埋め込まれた金属材料の下層

に低融点金属材料層が設けられている。上層配線に注目すると、プラグ部分以外の部分においては下層に低融点金属材料層を有し、その上に主として電流を流す金属材料層が形成された積層構造となっている。低融点金属材料層と絶縁膜との間には密着層が形成されていることが好ましい。好ましい例では、低融点金属材料層の主たる成分がアルミニウムである。

【0009】本発明の製造方法は、以下の工程(A)から(E)を含んで多層配線を形成する。(A)下層の電極又は配線に絶縁膜を形成し、その絶縁膜にコンタクトホール又はスルーホールを形成する工程、(B)前記絶縁膜上から密着層を形成する工程、(C)前記密着層上から低融点金属材料層を形成し、不活性雰囲気中又は真空中で熱処理を施して前記低融点金属材料層をリフローさせる工程、(D)リフローした前記低融点金属材料層上にプラグ形成用埋込み金属膜を形成し、エッチバックを施してその金属膜をプラグ形成部分のみに残す工程、(E)その後、上層配線用金属膜を形成し、その金属膜にパターン化を施して上層配線を形成する工程。

【0010】

【作用】本発明ではプラグとして埋め込まれた金属材料の下層に低融点金属材料層が設けられており、低融点金属材料層は好ましい例ではアルミニウムを主とした材料である。プラグの材質としては、一般にはタングステンが用いられ、コンタクトホールやスルーホールでプラグとしてのタングステンと絶縁膜との密着性を向上させるために、Ti膜、TiN膜又はTiW膜などの密着層が設けられるのが好ましいが、その際、本発明ではタングステンと密着層との間にさらにアルミニウムを主成分とする材料などからなる低融点金属材料層が存在するので、タングstenはTiNなどの密着層と直接接触するよりも低融点金属材料層を介在させた方がより密着性が向上する。タングstenはTiN膜などに直接形成するよりもアルミニウムを主成分とする膜上に形成する方がグレインサイズが小さくなり、プラグとして良好な特性をもつようになる。

【0011】本発明の製造方法では、絶縁膜の平坦性がよくない場合でも低融点金属材料層をリフローさせるので、そのリフローにより平坦性が改善された表面上にプラグ用タングsten膜が形成されているので、そのタングsten膜をエッチバックする際コンタクトホールやスルーホール以外の部分にはタングsten膜が残らないようになる。

【0012】

【実施例】図2は一実施例を表わしたものである。図1と比較するために同一部分には同一の符号を用いる。下地2上に下層配線4が形成されており、その上にSiO₂などの層間絶縁膜6が形成され、そのスルーホールには密着層としてのTi膜、TiN膜又はTiW膜10が

200Å程度の厚さに形成されており、その上に低融点金属材料層20としてAl-Si-Cu膜、Al-Si膜又はAl-Cu膜などが1000Å程度の厚さに形成されている。スルーホールではその密着層10と低融点金属材料層20を介してプラグのタングsten12が埋め込まれている。タングsten12上には主として電流を流すための上層配線14がAl-Si-Cu膜、Al-Si膜又はAl-Cu膜などにより形成されている。

【0013】層間絶縁膜6上にはスルーホール部以外の部分にも上層配線が形成されているが、その構造は層間絶縁膜6上に形成された密着層10を介して低融点金属材料層20と上層配線用の金属材料層14とが積層された積層構造となっている。層間絶縁膜6の表面の平坦性がよくなく、凹部が存在する場合でもその凹部にはタングstenの残渣は存在していない。

【0014】次に、図3と図4により図2に示された構造の配線を製造する方法の一実施例を説明する。

(A)下地2として(100)シリコン基板2a上にプラズマCVD法によりSiO₂膜2bを約5000Åの厚さに形成したものを用いる。下層金属配線を形成するために、SiO₂膜2b上にAl-Si-Cu膜をスパッタリング法により約1μmの厚さに堆積し、リソグラフィとエッチングにより配線用にパターン化する。

【0015】次に、下層配線4上から層間絶縁膜6としてSiO₂膜を約1μmの厚さに形成する。リソグラフィとエッチングにより層間絶縁膜6にスルーホール8を形成した後、密着層10としてTi膜を約200Åの厚さにスパッタリング法により堆積する。その上に低融点金属材料層20としてAl-Si-Cu膜を約1000Åの厚さに形成する。Al-Si-Cu膜の成膜手法としてはDCマグネトロンスパッタリング法を用い、その成膜条件は、成膜温度200℃、Arガス圧3mTorr、DCパワー2KWとした。

【0016】(B)成膜したAl-Si-Cu膜を真空中で600℃、1分間アニールを行ない、リフローさせて表面の平坦性を改善した。

(C)Al-Si-Cu膜上にスルーホールを埋め込むための金属材料層としてブランケットタングsten膜12を約7000Åの厚さに形成する。形成条件は、ガス圧80Torr、WF₆流量5SCCM、N₂流量30SCCM、H₂流量20SCCM、基板温度450℃とした。

【0017】(D)次に、埋込み用タングsten膜12のエッチバックをSF₆ガスとArの混合ガスを用いて行なう。このエッチング条件は、ガス圧200mTorr、SF₆流量100SCCM、Ar流量100SCCM、RFパワー300W、エッチング時間2分とした。これによりタングsten膜12はスルーホールのみに残る。このとき、層間絶縁膜6の平坦性の悪い部分は低融点金属材料層20であるAl-Si-Cu膜のリフローによって平坦化されているため、タングsten12のエッチ

バック時に層間絶縁膜表面の凹部には残渣が残ることがなくなる。

【0018】(E)次に、上層配線用メタル層14としてAl-Si-Cu膜を約5000Åの厚さに成膜する。

(F)リソグラフィとエッチングにより上層配線用メタル層14、低融点金属材料層20及び密着層10をパターン化して上層配線を形成する。

【0019】図5(A)、(B)はそれぞれ他の実施例を表わしたものである。図3及び図4の製造方法では低融点金属材料層20の下層に密着層10を設けているが、低融点金属材料層20自体が層間絶縁膜6に対して密着性のよい材料である場合には、密着層10を省略することができる。図5(A)はそのような場合に密着層10を省略して形成した配線部分を示したものである。図2と比較すると、密着層10を省略したものとなっている。

【0020】図5(B)の実施例は、図3、図4に示した製造方法において、工程(D)で埋込みメタル用タングステン膜12のエッチバック後に、さらに低融点金属材料層20もエッチバックし、層間絶縁膜6上には低融点金属材料層20を残さないようにしたものである。これにより、図5(B)のように配線メタルとしては低融点金属材料層20を含まず、プラグの埋込み金属12の下層にのみ低融点金属材料層20が残る状態となる。*

*【0021】図6は本発明における配線の信頼性を測定するための配線パターンを示したものである。図2に示された実施例の構造により、下層配線4と上層配線14を形成し、種々のライン/スペースにパターン化し、それを実施例1とする。14a、14bは測定パッドである。図6の配線パターンを図5(B)の構造に形成したものを実施例2とする。図5(B)の配線を形成するにあたり、タングステン膜12のエッチバック後に塩素ガスを用いて低融点金属材料層20のAl-Si-Cu膜をエッチングするが、その時のエッチング条件はガス圧1Torr、Cl₂流量20SCCM、Ar流量50SCCM、RFパワー300W、エッチング時間30秒で行なった。

【0022】本発明の比較例として実施例1における低融点金属材料層20の形成プロセス及びアニールプロセスを経ずに、密着層10上に直接ブランケットタングステン膜を形成して配線を形成したもの、すなわち図1の製法により図6の測定用配線パターンを形成したものを比較例とする。実施例1、実施例2及び比較例のそれぞれについて下層配線4のライン幅とスペース幅を同じ値として0.5~5.0μm範囲で変化させたものを作成した。上層配線14のライン幅とスペース幅はそれぞれ1μmで一定とした。その結果を表1にまとめて示す。

【0023】

【表1】

ライン/スペース値 (μm)	実施例1	実施例2	比較例
5.0/5.0	○	○	○
4.0/4.0	○	○	○
3.0/3.0	○	○	×
2.0/2.0	○	○	×
1.0/1.0	○	○	×
0.5/0.5	○	○	○

【0024】比較例ではライン/スペースが1~3μmにおいて短絡が発生した。試料の顕微鏡観察により、この短絡がタングステンの残渣によって発生していることが確認された。実施例1、2では0.5から5.0μmのライン/スペースにおいてこのような短絡は発生しなかった。実施例は本発明をスルーホールでの接続に適用しているが、コンタクトホールにおいても同様に適用することができる。

【0025】

【発明の効果】本発明ではコンタクトホールやスルーホールにおいてプラグとして埋め込まれるタングステンと絶縁膜との密着性が向上するとともに、プラグとして埋め込む金属材料層のエッチバックによる残渣がなくなることにより、上層配線間の短絡がなくなり、信頼性の高い多層配線を実現することができる。

【図面の簡単な説明】

【図1】従来の方法による多層配線形成方法を示す工程

50 断面図である。

7

【図 2】一実施例を示す断面図である。

【図 3】図 2 の実施例を製造する方法を示す工程の前半部を示す工程断面図である。

【図 4】図 2 の実施例を製造する方法を示す工程の後半部を示す工程断面図である。

【図 5】(A) と (B) はそれぞれ他の実施例を示す断面図である。

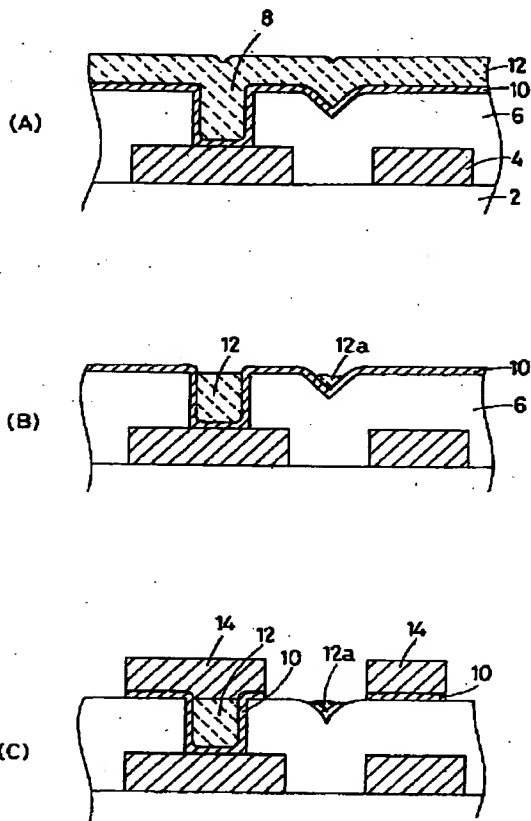
【図 6】配線の信頼性を調べるためのテストパターンを示す平面図である。

8

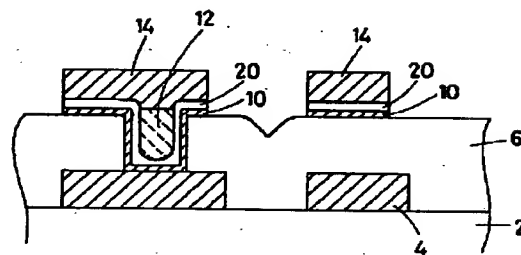
【符号の説明】

- 2 下地
- 4 下層配線
- 6 層間絶縁膜
- 8 スルーホール
- 10 密着層
- 12 プラグのタングステン
- 14 上層配線
- 20 低融点金属材料層

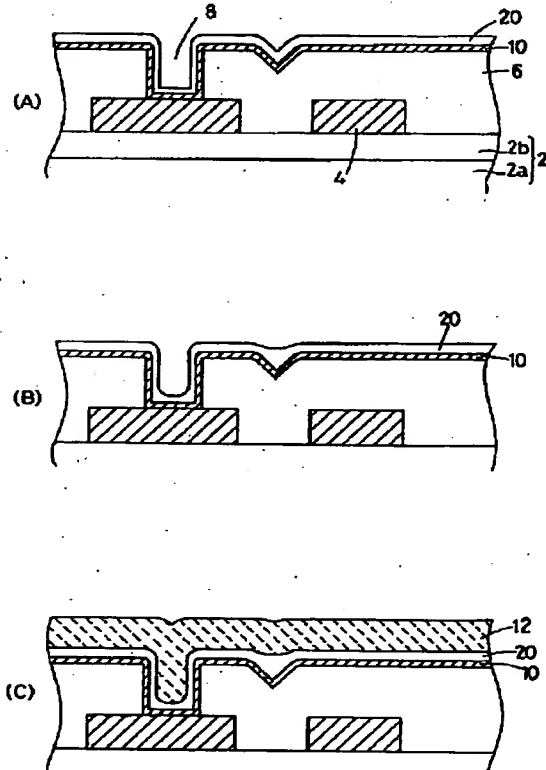
【図 1】



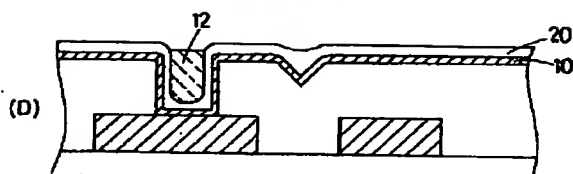
【図 2】



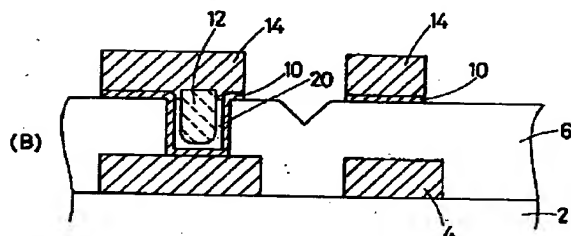
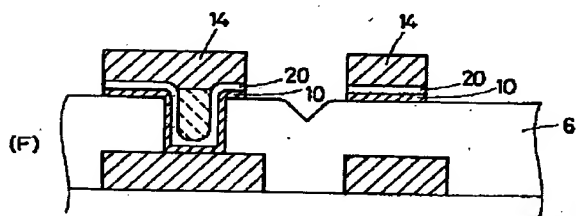
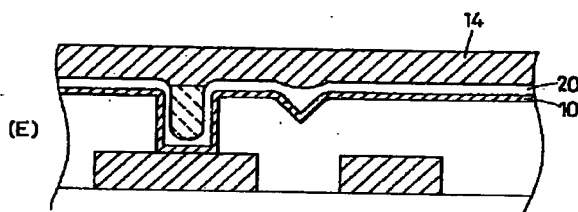
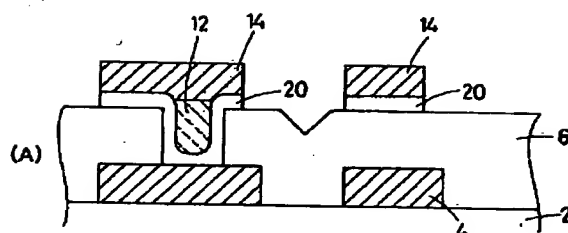
【図 3】



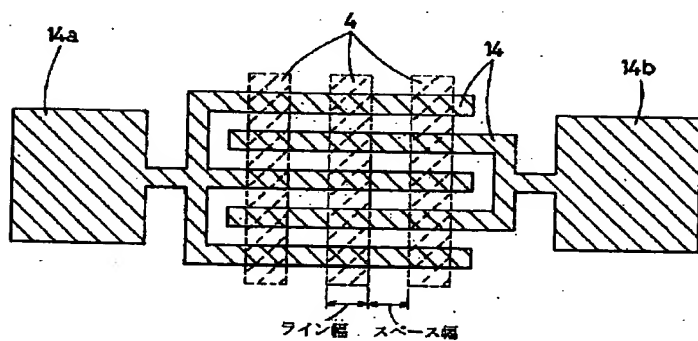
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/3205

識別記号

庁内整理番号

F I

技術表示箇所

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-051153
(43)Date of publication of application : 20.02.1996

(51)Int.Cl. H01L 21/768
H01L 21/28
H01L 21/3205

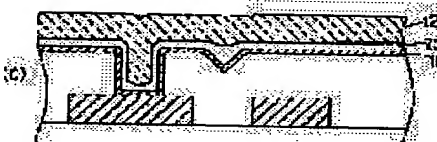
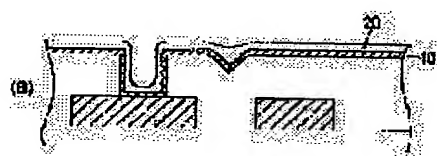
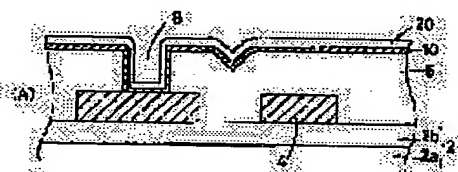
(21)Application number : 06-207955 (71)Applicant : RICOH CO LTD
(22)Date of filing : 08.08.1994 (72)Inventor : KAWASHIMA IKUE

(54) SEMICONDUCTOR DEVICE WITH MULTILAYER INTERCONNECTION

(57)Abstract:

PURPOSE: To inhibit increase in cost while forming wiring having high reliability by preventing the generation of residue at the time of the etchback of a buried metallic layer for a plug even when the flatness is inferior for an inter-layer insulating film.

CONSTITUTION: An inter-layer insulating film 6 is formed from the upper section of a lower layer wiring 4, a through-hole 8 is formed, an adhesive layer 10 is shaped, and an Al-Si-Cu film is formed onto the adhesive layer 10 as a low melting-point metallic material layer 20. The formed Al-Si-Cu film is annealed for one min at 600° C in a vacuum, and made to reflow, thus improving the flatness of a surface. A tungsten film 12 for buying the through-hole is shaped, and the tungsten film 12 is left only in the through-hole through etchback. Since the flatness inferior section of the inter-layer insulating film 5 is flattened by the reflow of the low melting-point metallic material layer 20 at that time, no residue remains in the recessed section of the surface of the inter-layer insulating film at the time of the etchback of the tungsten 12. A metallic layer for upper layer wiring is formed, and the upper layer wiring is formed through patterning.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by preparing the low melting point metallic-material layer in the lower layer of the metallic material embedded as a plug in the semiconductor device which has the multilayer interconnection connected to the contact hole or through hole by which the upper wiring was formed through the insulator layer on a lower layer electrode or wiring, and between a lower layer electrode or wiring, and the upper wiring was formed in the aforementioned insulator layer through the plug where the metallic material was embedded.

[Claim 2] The aforementioned upper wiring is a semiconductor device according to claim 1 used as the laminated structure which has the aforementioned low melting point metallic-material layer in a lower layer in portions other than a plug portion and by which the metallic-material layer which mainly passes current was formed on it.

[Claim 3] The semiconductor device according to claim 1 or 2 with which the adhesion layer is formed between the aforementioned low melting point metallic-material layer and the aforementioned insulator layer.

[Claim 4] A semiconductor device the claims 1 and 2 whose main components of the aforementioned low melting point metallic-material layer are aluminum, or given in 3.

[Claim 5] The manufacture method of the semiconductor device characterized by forming a multilayer interconnection including (E) from the following processes (A). (A) The process which forms an insulator layer on a lower layer electrode or wiring, and forms a contact hole or a through hole in the insulator layer, (B) A low melting point metallic-material layer is formed from on the process which forms an adhesion layer from on the aforementioned insulator layer, and the (C) aforementioned adhesion layer. The process to which it heat-treats in an inert atmosphere or a vacuum, and a reflow of the aforementioned low melting point metallic-material layer is carried out, (D) Process which forms the pad metal film for plug formation on the aforementioned low melting point metallic-material layer which carried out a reflow, forms the metal film for the upper wiring a process and after that [(E)] which gives etchback and leaves the metal film only to a plug formation portion, patternizes on the metal film and forms the upper wiring.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the semiconductor device which has the wiring structure where the metallic material called the plug for connecting the conductive layer of a lower layer and the upper layer especially to a contact hole and a through hole was embedded, and its manufacture method about a semiconductor device with multilayer-interconnection structure.

[0002]

[Description of the Prior Art] As a material with a plug of a multilayer interconnection, the tungsten formed of the blanket tungsten process or the selection tungsten process as a pad metal for plugs, TiN by CVD, etc. are used widely. Moreover, for example, it formed the TiN film and the TiW film upwards as an adhesion layer and carried out the laminating of the metal film of an aluminum system as the quality of the material of wiring prepared in the pad metal upper part of a plug, aluminum-Si-Cu/TiN, aluminum-Si-Cu/TiW, etc. are used, and the aluminum-Si-Cu monolayer is also used widely.

[0003] How to form lower layer wiring and the upper wiring among the conventional methods is shown in drawing 1 . Here, the thing of an aluminum-Si-Cu/TiN laminated structure is shown as a blanket tungsten and a wiring metal as a pad metal for plugs as an example.

(A) On a ground 2, form the lower layer wiring 4 which becomes with the quality of the materials, such as aluminum-Si-Cu and aluminum-Cu, and form the layer insulation film 6 from on the. The through hole for connecting the upper wiring and lower layer wiring to the layer insulation film 6 is formed by lithography and etching, and the TiN film 10 is formed as an adhesion layer of a tungsten after that. Moreover, the blanket tungsten film 12 for embedding as a plug is formed.

[0004] (B) In order to leave the pad metal for plugs only to a through hole, give etchback to the tungsten film 12. At this time, when the flat nature of the layer insulation film 6 is bad, tungsten 12a remains also in crevices other than a through hole as a residue.

(C) After that, form the metal film 14 for the upper wiring by aluminum-Si-Cu, aluminum-Cu, etc., patternize by etching with lithography, and consider as the upper wiring. By chlorine, although usually carried out, using chlorine gas as etching of the metal film for wiring, since it does not *****, also in after patternizing of the upper wiring, tungsten residue 12a remains, and a tungsten causes a short circuit during this wiring.

[0005] Therefore, in the method of forming a plug using an etchback process, the flat nature of the layer insulation film 6 becomes important. However, obtaining sufficient flat nature of a layer insulation film complicates a process, and it has become the factor which raises cost as detailed-ization of an LSI process progresses.

[0006]

[Problem(s) to be Solved by the Invention] As shown to drawing 1 (C) by the conventional wiring structure, in the plug portion, the tungsten 12 touches the TiN film 10. A tungsten cannot say adhesion with excelling so much to TiN. Moreover, on TiN, as for a tungsten, grain size tends to grow greatly. When the flat nature of a layer insulation film is bad, residue 12a of a tungsten occurs, as the manufacture method is described by explanation of drawing 1 .

[0007] Then, this invention aims at enabling it to form reliable wiring while it suppresses a cost rise in the case of the etchback of the pad metal layer for plugs as residue 12a does not occur, even when the flat nature of a layer insulation film is bad.

[0008]

[Means for Solving the Problem] In the multilayer interconnection of the semiconductor device of this invention, the low melting point metallic-material layer is prepared in the lower layer of the metallic material embedded as a plug. If the upper wiring is observed, in portions other than a plug portion, it has a low melting point metallic-material layer in a lower layer, and has a laminated structure by which the metallic-material layer which mainly passes current was formed on it. It is desirable that the adhesion layer is formed between a low melting point metallic-material layer and an insulator layer. In a desirable example, the main component of a low melting point metallic-material layer is aluminum.

[0009] The manufacture method of this invention forms a multilayer interconnection including (E) from the following processes (A). (A) The process which forms an insulator layer on a lower layer electrode or wiring, and forms a contact hole or a through hole in the insulator layer, (B) A low melting point metallic-material layer is formed from on the process which forms an adhesion layer from on the aforementioned insulator layer, and the (C) aforementioned adhesion layer. The process to which it heat-treats in an inert atmosphere or a vacuum, and a reflow of the aforementioned low melting point metallic-material layer is carried out, (D) Process which forms the pad metal film for plug formation on the aforementioned low melting point metallic-material layer which carried out a reflow, forms the metal film for the upper wiring a process and after that [(E)] which gives etchback and leaves the metal film only to a plug formation portion, patternizes on the metal film and forms the upper wiring.

[0010]

[Function] The low melting point metallic-material layer is prepared in the lower layer of the metallic material embedded as a plug in this invention, and a low melting point metallic-material layer is the material mainly concerned with aluminum in the desirable example. In order to use a tungsten generally and to raise the adhesion of the tungsten as a plug, and an insulator layer by the contact hole or the through hole as the quality of the material of a plug Although it is desirable that adhesion layers, such as Ti film, a TiN film, or a TiW film, are prepared, since the low melting point metallic-material layer which consists of material which makes aluminum a principal component further exists between a tungsten and an adhesion layer by this invention in that case As for the direction between which the low melting point metallic-material layer was made to be placed, the tungsten of adhesion improves more rather than contacting adhesion layers, such as TiN, and directly. Grain size becomes [the direction which forms aluminum on the film made into a principal component] small rather than forming directly, and a tungsten comes to have a property good as a plug in a TiN film etc.

[0011] By the manufacture method of this invention, since the tungsten film for plugs is formed on the front face where flat nature has been improved by the reflow since a reflow of the low melting point metallic-material layer was carried out even when the flat nature of an insulator layer was not good, in case etchback of the tungsten film is carried out, a tungsten film ceases to remain in portions other than a contact hole or a through hole.

[0012]

[Example] Drawing 2 expresses one example. The same sign is used for the same portion in order to compare with drawing 1. The lower layer wiring 4 is formed on the ground 2, the layer insulation films 6, such as SiO₂, are formed on it, and it is formed in the through hole at the thickness whose Ti film, TiN film, or TiW film 10 as an adhesion layer is about 200Å, and is formed on it at the thickness an aluminum-Si-Cu film, an aluminum-Si film, or whose aluminum-Cu film is about 1000Å as a low melting point metallic-material layer 20. In the through hole, the tungsten 12 of a plug is embedded through the adhesion layer 10 and the low melting point metallic-material layer 20. On the tungsten 12, the upper wiring 14 for mainly passing current is formed with the aluminum-Si-Cu film, the aluminum-Si film, or the aluminum-Cu film.

[0013] Although the upper wiring is formed on the layer insulation film 6 also at portions other than the through hole section, the structure is the laminated structure to which the laminating of

the low melting point metallic-material layer 20 and the metallic-material layer 14 for the upper wiring was carried out through the adhesion layer 10 formed on the layer insulation film 6. Even when a crevice exists, the residue of a tungsten does not exist with the not sufficient flat nature of the front face of the layer insulation film 6 in the crevice.

[0014] Next, one example of the method of manufacturing wiring of the structure shown in drawing 2 by drawing 3 and drawing 4 is explained.

(A) Use what formed SiO₂ film 2b by the plasma CVD method on silicon-substrate 2a as a ground 2 (100) at the thickness of about 5000Å. In order to form lower layer metal wiring, an aluminum-Si-Cu film is deposited by the sputtering method on SiO₂ film 2b at the thickness of about 1 micrometer, and it patternizes to wiring by lithography and etching.

[0015] Next, SiO₂ film is formed in the thickness of about 1 micrometer as a layer insulation film 6 from on the lower layer wiring 4. After forming a through hole 8 in the layer insulation film 6 by lithography and etching, Ti film is deposited on the thickness of about 200Å by the sputtering method as an adhesion layer 10. An aluminum-Si-Cu film is formed in the thickness of about 1000Å as a low melting point metallic-material layer 20 on it. The membrane formation condition was set to membrane formation temperature [of 200 degrees C], Ar gas pressure 3mTorr, and DC power 2kW, using the DC magnetron sputtering method as the membrane formation technique of an aluminum-Si-Cu film.

[0016] (B) 600 degrees C and annealing during 1 minute are performed for the aluminum-Si-Cu film which formed membranes in a vacuum, a reflow was carried out, and surface flat nature has been improved.

(C) Form the blanket tungsten film 12 in the thickness of about 7000Å as a metallic-material layer for embedding a through hole on an aluminum-Si-Cu film. Formation conditions were made into gas pressure 80Torr, WF₆ flow-rate 5SCCM, N₂ flow-rate 30SCCM, H₂ flow-rate 20SCCM, and the substrate temperature of 450 degrees C.

[0017] (D) Next, perform etchback of the tungsten film 12 for pads using SF₆ gas and the mixed gas of Ar. This etching condition was made into gas pressure 200mTorr, SF₆ flow-rate 100SCCM, Ar flow rate 100SCCM, RF power 300W, and etching time 2 minutes. Thereby, the tungsten film 12 remains only in a through hole. Since flattening is carried out by the reflow of the aluminum-Si-Cu film whose bad portion of the flat nature of the layer insulation film 6 is the low melting point metallic-material layer 20 at this time, in the crevice of a layer insulation film front face, it is lost at the time of the etchback of a tungsten 12 that a residue remains.

[0018] (E) Next, form an aluminum-Si-Cu film in thickness of about 5000Å as a metal layer 14 for the upper wiring.

(F) Patternize the metal layer 14 for the upper wiring, the low melting point metallic-material layer 20, and the adhesion layer 10 by lithography and etching, and form the upper wiring.

[0019] Drawing 5 (A) and (B) express other examples, respectively. Although the adhesion layer 10 is formed in the lower layer of the low melting point metallic-material layer 20 by the manufacture method of drawing 3 and drawing 4, when low melting point metallic-material layer 20 the very thing is material with sufficient adhesion to the layer insulation film 6, the adhesion layer 10 can be omitted. Drawing 5 (A) shows the wiring portion which omitted and formed the adhesion layer 10 in such a case. It is what omitted the adhesion layer 10 as compared with drawing 2.

[0020] The example of drawing 5 (B) is embedded at a process (D), and it carries out etchback also of the low melting point metallic-material layer 20, and it is made not to leave the low melting point metallic-material layer 20 on the layer insulation film 6 further after the etchback of the tungsten film 12 for metal in the manufacture method shown in drawing 3 and drawing 4. This will be in the state where the low melting point metallic-material layer 20 remains only in the lower layer of the pad metal 12 of a plug, excluding the low melting point metallic-material layer 20 as a wiring metal like drawing 5 (B).

[0021] Drawing 6 shows the circuit pattern for measuring the reliability of the wiring in this invention. According to the structure of the example shown in drawing 2, the lower layer wiring 4 and the upper wiring 14 are formed, it patternizes to various line/spaces, and it is made into an example 1. 14a and 14b are measurement pads. What formed the circuit pattern of drawing 6 in

the structure of drawing 5 (B) is made into an example 2. Although chlorine gas was used and the aluminum-Si-Cu film of the low melting point metallic-material layer 20 was *****ed after the etchback of the tungsten film 12 in forming wiring of drawing 5 (B), the etching conditions at that time were performed in gas pressure 1Torr, Cl₂ flow-rate 20SCCM, Ar flow rate 50SCCM, RF power 300W, and etching time 30 seconds.

[0022] Let what formed the direct blanket tungsten film and formed wiring on the adhesion layer 10, i.e., the thing which formed the circuit pattern for measurement of drawing 6 by the process of drawing 1, be an example of comparison, without passing through the formation process and annealing process of the low melting point metallic-material layer 20 in an example 1 as an example of comparison of this invention. What was changed in the 0.5–5.0-micrometer range about each of an example 1, an example 2, and the example of comparison by making the line width of face and space width of face of the lower layer wiring 4 into the same value was created. The line width of face and space width of face of the upper wiring 14 presupposed that it is fixed by 1 micrometer, respectively. The result is collectively shown in Table 1.

[0023]

[Table 1]

ライン/スペース値 (μm)	実施例 1	実施例 2	比較例
5.0 / 5.0	○	○	○
4.0 / 4.0	○	○	○
3.0 / 3.0	○	○	×
2.0 / 2.0	○	○	×
1.0 / 1.0	○	○	×
0.5 / 0.5	○	○	○

[0024] In the example of comparison, the short circuit occurred [the line/space] in 1–3 micrometers. It was checked by microscope observation of a sample that this short circuit has occurred by the residue of a tungsten. In the examples 1 and 2, such a short circuit was not generated in 0.5 to 5.0-micrometer the line/space. Although the example has applied this invention to connection by the through hole, it is applicable similarly in a contact hole.

[0025]

[Effect of the Invention] In this invention, while the adhesion of the tungsten and insulator layer which are embedded as a plug in a contact hole or a through hole improves, when the residue by the etchback of the metallic-material layer embedded as a plug is lost, the short circuit during the upper wiring is lost and a reliable multilayer interconnection can be realized.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the process cross section showing the multilayer-interconnection formation method by the conventional method.

[Drawing 2] It is the cross section showing one example.

[Drawing 3] It is the process cross section showing the first portion of the process which shows how to manufacture the example of drawing 2.

[Drawing 4] It is the process cross section showing the second half section of the process which shows how to manufacture the example of drawing 2.

[Drawing 5] (A) and (B) are the cross sections showing other examples, respectively.

[Drawing 6] It is the plan showing the test pattern for investigating the reliability of wiring.

[Description of Notations]

2 Ground

4 Lower Layer Wiring

6 Layer Insulation Film

8 Through Hole

10 Adhesion Layer

12 Tungsten of Plug

14 The Upper Wiring

20 Low Melting Point Metallic-Material Layer

[Translation done.]